

---

## Lista de Exercícios 1

**Obs.: As soluções da lista de exercícios devem ser individuais e podem ser digitadas ou redigidas. A entrega deve ser feita até o final da aula do dia previsto na página do curso. Não serão aceitas entregas por e-mail ou fora do prazo.**

- 1) Ilustre a arquitetura de von Neumann, considerando todos os seus módulos. Discorra sobre cada um dos componentes e suas funcionalidade dessa arquitetura.
- 2) Suponha que o tempo de acesso à memória principal de um determinado subsistema de memória seja de 100ns e o tempo de pesquisa em cache seja de 50ns. Assumindo uma taxa de acerto de cache de 90%, qual seria o tempo médio para ler uma posição da memória principal? (Nota: Suponha que a taxa de acerto de cache é o mesmo para os dados e as tabelas de tradução de página.)
- 3) Considere uma máquina com uma arquitetura tal que seja possível endereçar no máximo 64K células de memória onde cada célula armazena uma palavra e cada instrução tem o tamanho de uma palavra. Todas as instruções desta máquina possuem o mesmo formato: um código de operação, que permite a existência de um valor máximo de 256 códigos, e dois operandos, que indicam endereços de memória.
  - a. Qual a capacidade máxima da memória em bits ?
  - b. Qual o tamanho do barramento de endereços ?
  - c. Se a largura do barramento de dados desta máquina for igual à metade do tamanho de uma instrução, como funcionará o ciclo de busca ?
- 4) Explique em detalhes a organização hierárquica do subsistema de memória nos computadores atuais.
- 5) Considere uma máquina que possa endereçar 512 Mbytes de memória física, utilizando endereço referenciando byte, e que tenha a sua memória organizada em blocos de 32 bytes. Ela possui uma memória cache que pode armazenar 8K blocos, sendo um bloco por linha. Mostre o formato da memória cache, indicando os campos necessários (tag, bloco) e o número de bits para cada campo, e o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, para os seguintes mapeamentos:
  - a. Mapeamento direto.
  - b. Mapeamento totalmente associativo.
  - c. Mapeamento associativo por conjunto, onde cada conjunto possui quatro linhas, cada uma de um bloco.

- 6) Qual a diferença entre endereço físico (real) e virtual?
- 7) Considere um computador que possua uma UCP com CI de 16 bits e RI de 40 bits. Suas instruções possuem dois operandos do mesmo tamanho (cada um com 16 bits) e um código de operação. Cada célula de memória tem o tamanho igual ao de uma instrução.
  - a. Qual o tamanho da instrução ?
  - b. Qual o tamanho do código de operação ?
- 8) Explique como é feita a translação entre endereços lógico e físico e o mecanismo de tratamento de falta de página em um sistema de memória virtual paginada.
- 9) Por que os tamanhos de páginas e quadros são sempre potências de 2?
- 10) O que é uma falta de página? Quais são suas causas possíveis e como o sistema operacional deve tratá-las?
- 11) Considere um sistema de memória com quatro quadros de RAM e oito páginas a alocar. Os quadros contêm inicialmente as páginas 7, 4 e 1, carregadas em memória nessa seqüência. Determine quantas faltas de página ocorrem na seqüência de acesso  $\{0, 1, 7, 2, 3, 2, 7, 1, 0, 3\}$ , para os algoritmos de escalonamento de memória FIFO e LRU.
- 12) Usando a tabela de página abaixo, indique o endereço físico correspondente a cada um dos seguintes endereços virtuais: a) 20; b) 4100; e, c) 8300

